

#41 Priority  
5/17/01  
C. McKenney  
PATENT  
2658-190P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: SONG, In Duk et al.  
Appl. No.: New Group:  
Filed: September 22, 2000 Examiner:  
For: THIN FILM TRANSISTOR SUBSTRATE OF  
LIQUID CRYSTAL DISPLAY AND METHOD OF  
MANUFACTURE

3682 U.S. PTO  
09/667596  
09/22/00

L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

September 22, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

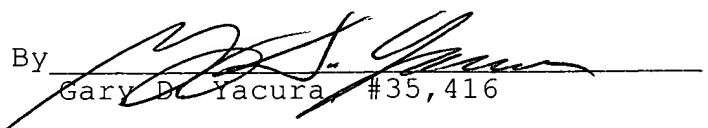
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
KOREA	2000-8952	February 24, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Gary D. Yacura, #35,416

GDY/cqc  
2658-190P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

Attachment

IN THE U.S. PATENT AND TRADEMARK OFFICE

I N F O R M A T I O N   S H E E T

Applicant: SONG, In Duk; YOON, Won Gyun; KWON, Keuk Sang  
Appl. No.: New  
Filed: September 22, 2000  
For: THIN FILM TRANSISTOR SUBSTRATE OF LIQUID  
CRYSTAL DISPLAY AND METHOD OF MANUFACTURE

Priority Claimed: Korea 2000-8952 February 24, 2000

Send Correspondence to:

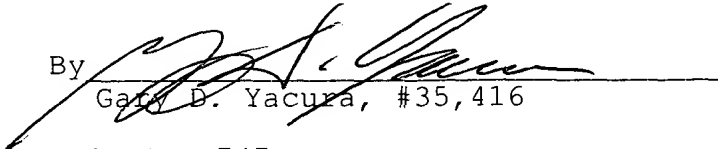
BIRCH, STEWART, KOLASCH & BIRCH, LLP or **CUSTOMER NO. 2292**  
P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

The above information is submitted to advise the U.S.P.T.O.  
of all relevant facts in connection with the present application.

A timely executed Declaration in accordance with 37 C.F.R.  
§ 1.64 will follow.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

By   
Gary D. Yacura, #35,416

GDY/cqc  
2658-190P

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

BSKB 703-205-8000  
SONG et al.  
2658-190P  
1661

1C682 U.S. PTO  
09/667596  
09/22/00

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

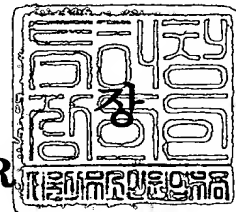
출원번호 : 특허출원 2000년 제 8952 호  
Application Number

출원년월일 : 2000년 02월 24일  
Date of Application

출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s)

2000 년 03 월 28 일

특 허 청  
COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2000.02.24
【발명의 명칭】	액정표시장치의 박막트랜지스터 기판
【발명의 영문명칭】	Thin Film Transistor Substrate of Liquid Crystal Display
【출원인】	
【명칭】	엘지 .필립스 엘시디 주식회사
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	1999-001050-4
【발명자】	
【성명의 국문표기】	송인덕
【성명의 영문표기】	SONG, In Duk
【주민등록번호】	661011-1227113
【우편번호】	730-100
【주소】	경상북도 구미시 비산동 489-1 전원아파트 106호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤원균
【성명의 영문표기】	YOUN, Won Gyun
【주민등록번호】	711219-1690722
【우편번호】	730-330
【주소】	경상북도 구미시 황상동 화진금봉아파트 202-1303호
【국적】	KR
【발명자】	
【성명의 국문표기】	권극상
【성명의 영문표기】	KWON, Keuk Sang
【주민등록번호】	701220-1823015

**【우편번호】** 730-330  
**【주소】** 경상북도 구미시 황상동 화진금봉아파트 202-805호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
 김영호 (인)  
**【수수료】**  

<b>【기본출원료】</b>	20 면	29,000 원
<b>【가산출원료】</b>	0 면	0 원
<b>【우선권주장료】</b>	0 건	0 원
<b>【심사청구료】</b>	9 항	397,000 원
<b>【합계】</b>	426,000 원	

**【요약서】****【요약】**

본 발명은 드레인전극과 스토리지 전극을 연결하여 화소전극과의 컨택홀 수를 줄임으로써 개구율 증가 또는 화소전극들 간의 쇼트 불량을 방지할 수 있는 박막트랜지스터 기판에 관한 것이다.

본 발명의 액정표시장치의 박막트랜지스터 기판은 박막트랜지스터에 포함되는 드레인전극과 스토리지 캐패시터에 포함되는 스토리지전극이 전기적으로 접속되게 형성되어진 드레인전극패턴을 구비하는 것을 특징으로 한다.

본 발명에 의하면, 드레인전극과 스토리지 전극을 연결하여 화소전극과의 컨택홀 수를 줄임으로써 개구율을 증가시키거나 화소전극간의 쇼트불량을 방지할 수 있음과 아울러 데이터라인과 화소전극에 접속되어진 드레인전극패턴간의 간격이 일정하여 그들에 의한 기생 캐패시터(Cds)가 일정하게 됨으로써 데이터신호의 열화를 방지할 수 있게 된다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

액정표시장치의 박막트랜지스터 기판{Thin Film Transistor Substrate of Liquid Crystal Display}

**【도면의 간단한 설명】**

도 1은 종래 액정표시장치의 박막트랜지스터 기판의 전극배치도.

도 2는 본 발명의 실시 예에 따른 박막트랜지스터 기판의 전극배치도.

도 3은 본 발명의 다른 실시 예에 따른 박막트랜지스터 기판의 전극배치도.

도 4는 본 발명의 또 다른 실시 예에 따른 박막트랜지스터 기판의 전극배치도.

도 5는 본 발명의 또 다른 실시 예에 따른 박막트랜지스터 기판의 전극배치도.

**<도면의 주요부분에 대한 부호의 간단한 설명>**

2, 24 : 게이트라인

4, 26 : 데이터라인

6, 28 : 화소전극

8, 30 : 박막트랜지스터

10, 32 : 게이트전극

12, 34 : 소스전극

14, 36A, 42A, 46A, 50A : 드레인전극

16, 36B, 42B, 46B, 50B : 스토리지전극

18, 38 : 스토리지 캐패시터

20, 22, 40, 44, 48, 52, 54 : 콘택홀

36, 42, 46, 50 : 드레인전극패턴

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본 발명은 액정표시장치에 관한 것으로, 특히 드레인전극과 스토리지 전극을 연결하여 화소전극과의 컨택홀 수를 줄임으로써 개구율 증가 및 화소전극들 간의 쇼트 불량을 방지할 수 있는 박막트랜지스터 기판에 관한 것이다.
- <16> 통상의 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시장치는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 기준전극, 즉 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막트랜지스터(Thin Film Transistor; TFT)에 접속되게 된다. 화소전극은 박막트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.
- <17> 도 1을 참조하면, 종래의 액정표시장치의 박막트랜지스터 기판에 대한 전극배치도가 도시되어 있다. 도 1의 액정표시장치는 데이터라인(4)과 게이트라인(2)

의 교차부에 위치하는 박막트랜지스터(8)와, 박막트랜지스터(8)의 드레인전극(14)에 접속된 화소전극(8)을 구비한다. 박막트랜지스터(8)는 게이트라인(2)에서 돌출된 게이트전극(10), 데이터라인(4)에서 돌출된 소오스전극(12) 및 제1 컨택홀(20)을 통해 화소전극(6)에 접속된 드레인전극(14)을 구비한다. 또한, 박막트랜지스터(8)는 게이트전극(10)과 소스/드레인 전극(12, 14)의 절연을 위한 게이트절연막(도시하지 않음)과, 게이트전극(10)에 공급되는 게이트전압에 의해 소오스전극(12)과 드레인전극(14)간에 도통채널을 형성하기 위한 반도체층(도시하지 않음)을 더 구비한다. 이러한 박막트랜지스터(8)는 게이트라인(4)으로부터의 게이트신호에 응답하여 데이터라인(2)으로부터의 데이터신호를 선택적으로 화소전극(6)에 공급한다. 화소전극(6)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀영역에 위치하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어진다. 화소전극(6)은 박막트랜지스터 기판 전면에 도포되는 보호막(도시하지 않음) 위에 형성되며, 보호막에 형성된 제1 컨택홀(20)을 통해 드레인전극(14)과 전기적으로 접속된다. 이러한 화소전극(6)은 박막트랜지스터(8)를 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막트랜지스터 기판과 상부기판 사이에 위치하는 액정이 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(6)을 경유하여 입사되는 광을 상부 유리기판 쪽으로 투과시키게 된다. 화소전극(6)과 이전단의 게이트라인(2)의 중첩부분에 형성되는 스토리지 캐패시터(18)는 이전단 게이트라인(4)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(6)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(6)의 전압변동을 방지하는 역할을 하게 된다. 이와 같이, 스토리지 캐패시터(18)는 화소전압을 안정적으로 유지시키기 위한 것이므로 그 용량값은 커야

만 한다. 이를 위하여, 스토리지 캐패시터(18)는 이전단의 게이트라인(2)과, 게이트절연층을 사이에 두고 그 게이트라인(2)과 중첩되게 형성되며 보호막에 형성된 제2 콘택홀(22)을 통해 화소전극(6)과 전기적으로 접속되는 스토리지전극(16)에 의해 마련된다. 스토리지전극(16)은 데이터라인(4) 및 소스/드레인 전극(12, 14) 형성시 게이트절연층 위에 형성하게 된다.

<18> 이와 같이, 종래의 박막트랜지스터 기판에서는 보다 큰 용량의 스토리지 캐패시터(18)를 마련하기 위하여 화소전극(6)과 이전단의 게이트라인(2)과의 중첩부분이 최대한 크게 한다. 이 경우, 상하로 인접한 화소전극(6) 간의 간격이 줄어들게 되므로 그들간의 쇼트불량이 발생하는 경우가 있다. 또한, 박막트랜지스터 기판의 보호막으로는 통상  $\text{SiNx}$ ,  $\text{SiOx}$ 와 같이 유전율이 큰 무기막을 이용하고 있다. 이러한 무기 보호막을 사이에 둔 화소전극(6)과 데이터라인(4)은 기생 캐패시터( $\text{Cds}$ )에 의한 커플링 효과를 최소화하기 위하여 일정한 수평간격(예를 들면,  $3\sim 5\mu\text{m}$  정도)이 유지되게 하고 있다. 그러나, 박막트랜지스터 기판의 각층의 형성공정마다 이용되는 노광공정이 통상 박막트랜지스터 기판을 분할하여 여러번 수행됨에 따라 노광공정이 중첩되어지는 부분 등에 의해 박막트랜지스터 기판에서 서로 다른 층에 형성되어지는 전극들간에 미스얼라인먼트가 발생하게 된다. 이러한 제조공정 중의 미스얼라인먼트에 의해 데이터라인(4)과 화소전극(6) 간에 일정한 간격이 유지되지 않음에 따라 그 데이터라인(4)과 화소전극(6) 간의 기생 캐패시터( $\text{Cds}$ ) 용량이 불균일해지게 된다. 이 불균일한 기생 캐패시터( $\text{Cds}$ )에 의한 커플링 효과로 데이터라인(4)에 공급되는 데이터신호가 열화되어 화소전극(6)에 공급됨에 따라 화질이 열화되게 된다.

- <19> 또한, 종래의 액정표시장치에서는 박막트랜지스터(8)의 드레인전극(14)과 화소전극(6)이 콘택홀(20) 형성을 위해 중첩되는 부분만큼 액정셀의 개구율이 감소되게 되었다.

**【발명이 이루고자 하는 기술적 과제】**

- <20> 따라서, 본 발명의 목적은 드레인전극과 스토리지 전극을 연결하여 화소전극과의 콘택홀 수를 줄임으로써 개구율을 증가시킬 수 있는 액정표시장치의 박막트랜지스터 기판을 제공하는 것이다.
- <21> 본 발명의 다른 목적은 드레인전극과 스토리지 전극을 연결하여 화소전극과의 콘택홀 수를 줄임으로써 화소전극간의 쇼트불량을 방지할 수 있는 액정표시장치의 박막트랜지스터 기판을 제공하는 것이다.
- <22> 본 발명의 또 다른 목적은 데이터라인과 화소전극과의 기생캐패시터(Cds)를 일정하게 하여 그 기생캐패시터의 불균일에 의한 데이터신호의 열화를 방지할 수 있는 액정표시장치의 박막트랜지스터 기판을 제공하는 것이다.

**【발명의 구성 및 작용】**

- <23> 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치의 박막트랜지스터 기판은 박막트랜지스터에 포함되는 드레인전극과 스토리지 캐패시터에 포함되는 스토리지 전극이 전기적으로 접속되게 형성되어진 드레인전극패턴을 구비하는 것을 특징으로 한다.

- <24>      상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <25>      이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 4을 참조하여 상세하게 설명하기로 한다.
- <26>      도 2는 본 발명의 제1 실시예에 따른 박막트랜지스터 기판의 전극배치도가 도시되어 있다. 도 2의 액정표시장치는 데이터라인(26)과 게이트라인(24)의 교차부에 위치하는 박막트랜지스터(30)와, 드레인전극패턴(36)을 통해 박막트랜지스터(30)와 접속된 화소전극(28)을 구비한다. 박막트랜지스터(30)는 게이트라인(24)에서 돌출된 게이트전극(32), 데이터라인(26)에서 돌출된 소오스전극(34) 및 드레인전극패턴(36), 게이트전극(32)과 소스/드레인 전극(34, 36)의 절연을 위한 게이트절연막(도시하지 않음)과, 게이트전극(32)에 공급되는 게이트전압에 의해 소오스전극(34)과 드레인전극패턴(36)간에 도통채널을 형성하기 위한 반도체층(도시하지 않음)을 구비한다. 여기서, 드레인전극패턴(36)은 박막트랜지스터(30)의 드레인전극부(36A)와 스토리지캐패시터(38)의 스토리지전극부(36B)이 전기적으로 접속되게 형성된다. 다시 말하여, 드레인전극패턴(36)은 도 2에 도시된 바와 같이 드레인전극부(36A)와 스토리지전극부(38B)를 포함하여 화소전극(28)의 주변부를 따라 그 주변부와 중첩되게 형성된다. 그리고, 드레인전극패턴(36)은 이전단의 게이트라인(24) 및 화소전극(28)과 중첩되는 스트리지전극부(36B)에서 보호막에 형성된 컨택홀(40)을 통해 화소전극(28)과 접속된다. 이에 따라, 드레인전극패턴(36)의 드레인부(36A)에서는 화소전극(28)과의 접속을 위한 컨택홀을 제거할 수 있게 되어 드레인부(36A)와 화소전극(28)의 중첩부분이 감소하게 되므로 액정셀의 개구율을 증가시킬 수 있게 된다. 드레인전극패턴(36)의 스토리지전극부(38B)는 중첩되는

게이트라인(24)과 그들 사이에 형성되어진 게이트절연막과 함께 스토리지 캐패시터(38)를 형성하게 된다. 이러한 드레인전극패턴(36)은 데이터라인(26)과 인접하는 부분에서는 데이터라인(26)과 쇼트되지 않도록 소정의 이격거리를 가지며 상대적으로 좁은 폭을 가지게 된다. 이 경우, 드레인전극패턴(36)과 데이터라인(26)은 동일층에 형성되어 일정한 간격을 가지게 되므로 데이터라인(26)과 드레인전극패턴(36)간의 기생캐패시터(CdS)가 일정해지게 됨으로써 그 기생캐패시터(Cds)의 불균일에 의한 데이터신호의 열화를 방지할 수 있게 된다. 또한, 드레인전극패턴(36)의 스토리지전극부(36B)는 보다 큰 용량의 스토리지 캐패시터(38)를 마련하기 위하여 넓은 폭을 가지게 된다. 박막트랜지스터(30)는 게이트라인(24)으로부터의 게이트신호에 응답하여 데이터라인(26)으로부터의 데이터신호를 선택적으로 화소전극(28)에 공급한다. 데이터라인(26)과 게이트라인(24)에 의해 분할된 셀영역에 위치하는 화소전극(28)은 하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어지며 박막트랜지스터(8)를 경유하여 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막트랜지스터 기판과 상부기판 사이에 위치하는 액정이 유전이방성에 의해 회전하게 되며 광원으로부터 화소전극(28)을 경유하여 입사되는 광을 상부 유리기판 쪽으로 투과시키게 된다. 스토리지 캐패시터(38)는 이전단 게이트라인(24)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(28)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(28)의 전압변동을 방지하는 역할을 하게 된다.

<27> 이러한 구성을 가지는 박막트랜지스터 기판의 제조방법을 살펴보면, 투명기판 상에 게이트금속층을 증착하고 패터닝하여 게이트라인(24) 및 게이트전극(32)을 형성한 후,

그 위에 게이트절연막을 전면 도포하게 된다. 게이트절연막 위에 비정질실리콘층을 형성하고 패터닝하여 박막트랜지스터(30)의 반도체층을 형성한 후, 소스/드레인 금속층을 증착한 후 패터닝하여 데이터라인(26) 및 소스전극(34)과 드레인전극패턴(36)을 동시에 형성하게 된다. 이어서, 보호막을 전면 도포한 후 패터닝하여 콘택홀(40)을 형성하게 된다. 보호막 위에 투명전극물질을 도포하고 패터닝하여 화소전극(28)을 형성하게 된다.

<28> 도 3은 본 발명의 제2 실시예에 따른 박막트랜지스터 기판에 대한 전극배치도를 나타낸 것이다. 도 3의 박막트랜지스터 기판은 도 2에 도시된 박막트랜지스터 기판과 대비하여 드레인전극패턴(42)이 드레인부(42A)에서 화소전극(28)에 전기적으로 접속되어진 것을 제외하고는 동일한 구성요소들을 구비한다. 드레인전극패턴(42)은 전술한 바와 같이 드레인전극(42A)과 스토리지전극(42B)을 포함하게끔 화소전극(28)의 주변부를 따라 그 주변부와 중첩되게 형성된다. 드레인전극패턴(42)은 드레인부(42A) 위의 보호막에 형성되어진 콘택홀(44)을 통해 화소전극(28)과 접속되게 된다. 이에 따라, 드레인전극패턴(42)의 스토리지전극부(42B)에서는 화소전극(28)과의 접속을 위한 콘택홀을 제거할 수 있게 되므로 스토리지전극부(42B)와 화소전극(28)의 중첩부분을 감소시킬 수 있게 된다. 이 경우, 드레인전극패턴(42)의 스토리지전극부(42A)와 중첩되는 화소전극(28)을 폭을 종래의  $15\sim 20\mu\text{m}$  정도에서  $2\sim 4\mu\text{m}$  정도로 감소시킬 수 있게 되므로 상하 화소전극들(28)간의 쇼트불량을 방지할 수 있게 된다. 이러한, 드레인전극패턴(42)과 데이터라인(26)은 동일층에 형성되어 일정한 간격을 가지게 되므로 데이터라인(26)과 드레인전극패턴(42)간의 기생캐패시터(CdS)가 일정해지게 됨으로써 그 기생캐패시터(Cds)의 불균일에 의한 데이터신호의 열화를 방지할 수 있게 된다.

<29> 도 4는 본 발명의 제3 실시예에 따른 박막트랜지스터 기판에 대한 전극배치도를 나타낸 것이다. 도 4의 박막트랜지스터 기판은 도 3에 도시된 박막트랜지스터 기판과 대비하여 드레인전극패턴(46)이 화소전극(28)의 주변부를 모두 감싸는 환형 형태로 형성되어진 것을 제외하고는 동일한 구성요소들을 구비한다. 드레인전극패턴(46)은 전술한 바와 같이 드레인전극(46A)과 스토리지전극(46B)을 포함하게끔 화소전극(28)의 주변부를 따라 그 주변부와 중첩되게 형성된다. 이 경우, 드레인전극패턴(46)은 도 2 및 도 3에 도시된 드레인전극패턴들(36, 42)이 화소전극(28)의 양측변부 및 윗변부와 중첩되게 형성되어진 것과는 달리 화소전극(28)의 밑변부까지 중첩되게끔 환형으로 형성된다. 이러한 드레인전극패턴(46)은 화소전극(28)과 게이트라인(24) 사이이 빗샘을 방지하는 역할을 하게 된다. 그리고, 드레인전극패턴(46)은 드레인전극부(46A) 위의 보호막에 형성되어진 컨택홀(48)을 통해 화소전극(28)과 접속되게 된다. 이 경우, 스토리지전극부(46B)와 화소전극(28)과의 접속을 위한 컨택홀을 제거할 수 있게 되므로 스토리지전극부(46B)와 중첩되는 화소전극(28)의 폭을 줄여 상하 화소전극들(28)간의 쇼트불량을 방지할 수 있게 된다. 이와는 달리, 드레인전극패턴(46)은 도 3에 도시된 바와 같이 스토리지전극부(46A) 위의 보호막에 컨택홀(도시하지 않음)을 형성하여 화소전극(28)과 접속될 수도 있다. 이 경우에는, 드레인전극패턴(46)의 드레인전극부(46A)와 화소전극(28)과의 접속을 위한 컨택홀을 제거할 수 있게 되므로 화소전극(28)과 중첩되는 드레인전극부(46A)의 면적을 줄여 액정셀의 개구율을 증대시킬 수 있게 된다. 그리고 드레인전극패턴(46)과 역시 데이터라인(26)과 일정한 간격을 가지게 되므로 데이터라인(26)과 드레인전극패턴(46)간의 기생캐패시터(Cds)가 일정해지게 되므로 그 기생캐패시터(Cds)의 불균일에 의한 데이터신호의 열화를 방지할 수 있게 된다.

<30> 도 5는 본 발명의 제4 실시예에 따른 박막트랜지스터 기판에 대한 전극배치도를 나타낸 것이다. 도 5의 박막트랜지스터 기판은 도 3에 도시된 박막트랜지스터 기판과 대비하여 드레인전극패턴(50)이 드레인전극부(50A)와 스토리지전극부(50B) 각각에서 컨택홀(52, 54)을 통해 화소전극(28)에 전기적으로 접속되어진 것을 제외하고는 동일한 구성요소들을 구비한다. 드레인전극패턴(50)은 전술한 바와 같이 드레인전극(50A)과 스토리지전극(50B)을 포함하게끔 화소전극(28)의 주변부를 따라 그 주변부와 중첩되게 형성된다. 드레인전극패턴(50)은 드레인전극부(50A) 위의 보호막에 형성되어진 컨택홀(52)을 통해 화소전극(28)과 전기적으로 접속됨과 아울러 스토리지전극부(50B) 위의 보호막에 형성되어진 컨택홀(54)을 통해 화소전극(28)과 전기적으로 접속된다. 이러한 드레인전극패턴(50)은 데이터라인(26)과 동일층에 형성되어 일정한 간격을 가지게 되므로 데이터라인(26)과 드레인전극패턴(50)간의 기생캐패시터(Cds)가 일정해지게 됨으로써 그 기생캐패시터(Cds)의 불균일에 의한 데이터신호의 열화를 방지할 수 있게 된다.

#### 【발명의 효과】

<31> 상술한 바와 같이, 본 발명에 따른 액정표시장치의 박막트랜지스터기판에서는 드레인전극과 스토리지 전극을 연결하여 화소전극과의 컨택홀 수를 줄임으로써 개구율을 증가시키거나 화소전극간의 쇼트불량을 방지할 수 있게 된다. 또한, 본 발명에 따른 액정표시장치의 박막트랜지스터기판에서는 데이터라인과 화소전극에 접속되어진 드레인전극패턴간의 간격이 일정하여 그들에 의한 기생 캐패시터(Cds)가 일정하게 됨으로써 종래의 기생 캐패시터(Cds)의 불균일에 의한 데이터신호의 열화를 방지하여 화질열화를 방지할 수 있게 된다.

<32>        이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**【특허청구범위】****【청구항 1】**

데이터신호가 공급되는 데이터라인과, 게이트신호가 공급되는 게이트라인과, 상기 데이터라인과 게이트라인의 교차부에 형성된 박막트랜지스터와, 상기 박막트랜지스터에 접속되어 액정셀을 구동하기 위한 화소전극과, 상기 화소전극의 전압을 안정적으로 유지시키기 위한 스토리지 캐패시터를 구비하는 액정표시장치의 박막트랜지스터 기판에 있어서,

상기 박막트랜지스터에 포함되는 드레인전극과 상기 스토리지 캐패시터에 포함되는 스토리지전극이 전기적으로 접속되게 형성되어진 드레인전극패턴을 구비하는 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 2】**

제 1 항에 있어서,

상기 드레인전극패턴은 상기 데이터라인과는 소정의 이격거리를 가지고 상기 화소전극의 주변부에 부분적으로 중첩되게끔 형성된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 3】**

제 2 항에 있어서,

상기 드레인전극패턴은

상기 스토리지전극 위의 보호막에 형성되어진 컨택홀을 통해 상기 화소전극과 접속된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 4】**

제 3 항에 있어서,

상기 드레인전극패턴의 드레인부는 상기 화소전극과의 중첩면적이 상대적으로 작게끔 형성된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 5】**

제 2 항에 있어서,

상기 드레인전극패턴은

상기 드레인전극 위의 보호막에 형성되어진 컨택홀을 통해 상기 화소전극과 접속된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 6】**

제 5 항에 있어서,

상기 화소전극은 상기 스토리리지 전극과의 중첩면적이 상대적으로 작게끔 형성된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 7】**

제 2 항에 있어서,

상기 드레인전극패턴은 상기 데이터라인과는 소정의 이격거리를 가지고 상기 화소전극의 주변부를 모두 감싸게끔 환형형태로 형성된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 8】**

제 7 항에 있어서,

상기 드레인전극패턴은

상기 스토리지전극 위의 보호막에 형성되어진 컨택홀을 통해 상기 화소전극과 접속된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

**【청구항 9】**

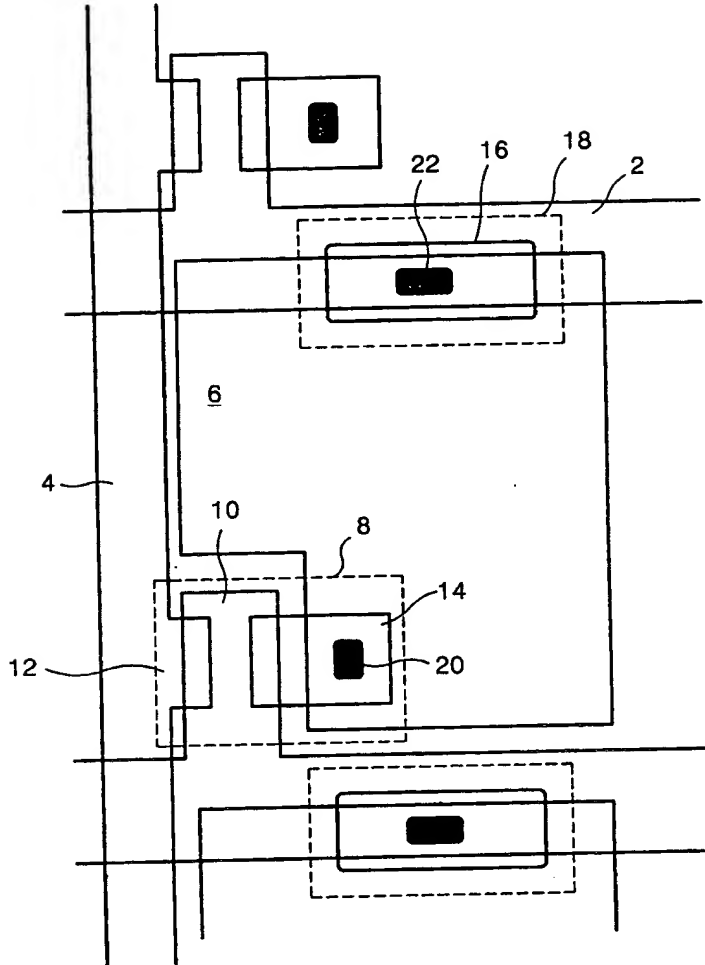
제 7 항에 있어서,

상기 드레인전극패턴은

상기 드레인전극 위의 보호막에 형성되어진 컨택홀을 통해 상기 화소전극과 접속된 것을 특징으로 하는 액정표시장치의 박막트랜지스터 기판.

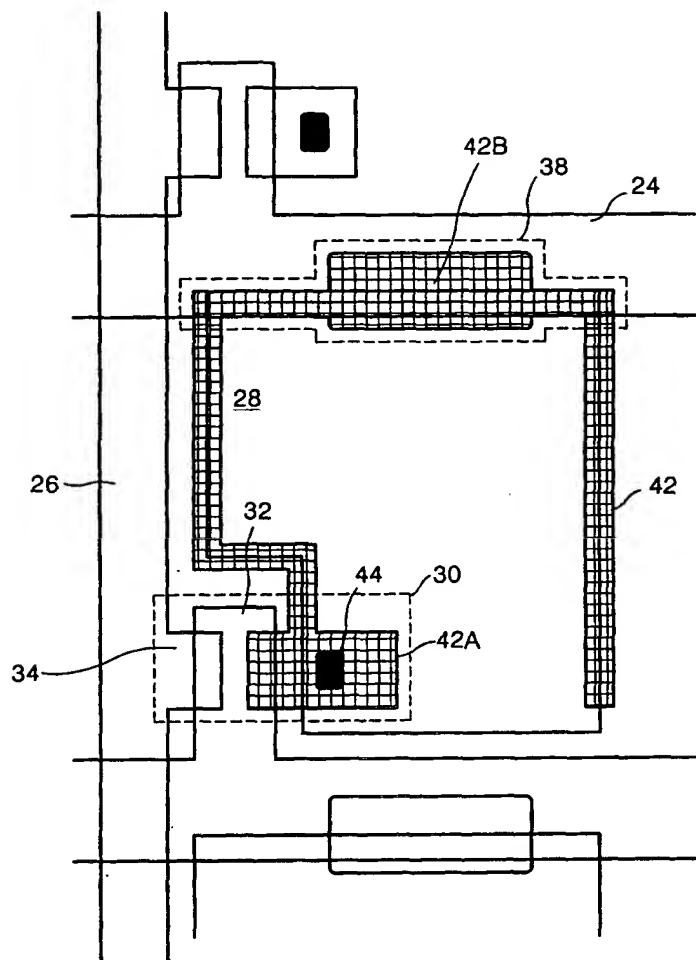
【도면】

【도 1】

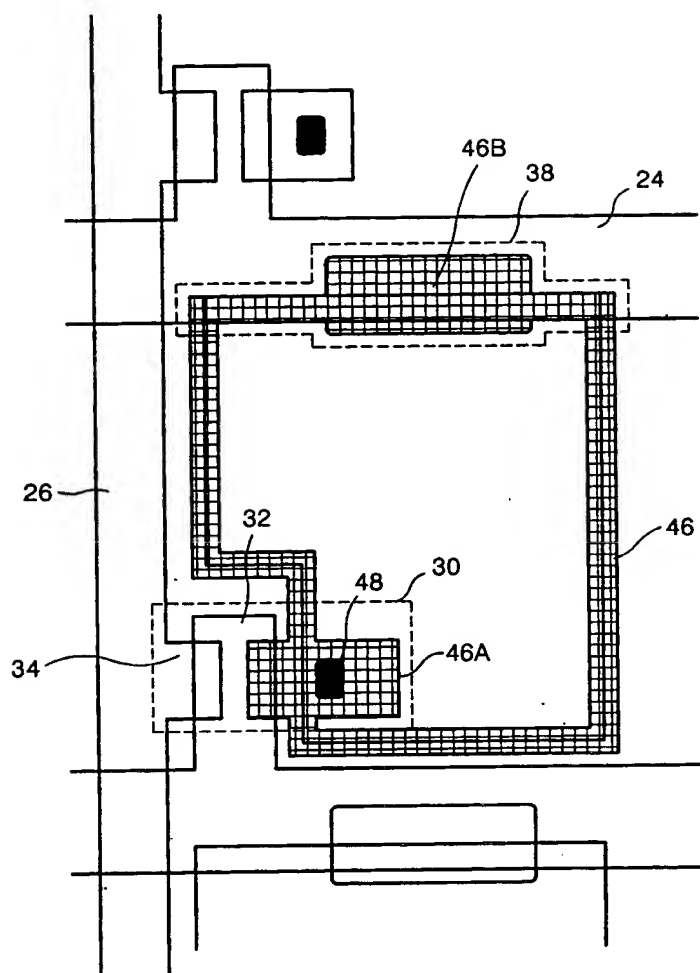




【도 3】



【도 4】



【図 5】

